

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-347640

(43)Date of publication of application : 15.12.2000

(51)Int.Cl.

G09G 5/00
 G02F 1/133
 G09G 3/20
 G09G 3/36
 H04N 5/66

(21)Application number : 11-154757

(71)Applicant : NEC VIEWTECHNOLOGY LTD

(22)Date of filing : 02.06.1999

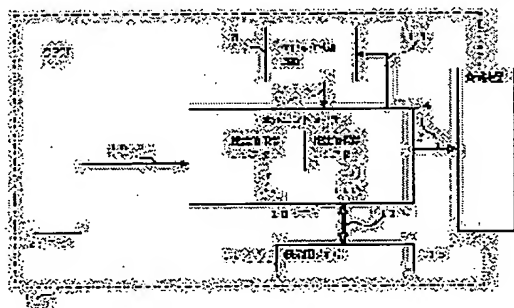
(72)Inventor : YAMADA WATARU

(54) ELECTRONIC DEVICE, DISPLAY SYSTEM, AND METHOD THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce power consumption while continuing display without degrading image quality.

SOLUTION: A display controller 10 displays an image developed in a memory for display 12 on a display device 14 having display memory properties. A CPU 2 can access to the memory for display 12 through the display controller 10, and has a power saving mode, as an operation mode, for not accessing to the memory for display 12. In a general operation mode, a clock controlling circuit 8 supplies a clock signal of high frequency allowing access to the memory for display 12 from the CPU 2 and the display controller 10 is operated at a high speed. In the power saving mode, a power saving operation transition signal 16 is supplied to the display controller 10 from the CPU 2 and a clock switching signal 13 is supplied to the clock controlling circuit 8 from the display controller 10. The clock controlling circuit 8 supplies a clock signal of low frequency and the display controller 10 is operated at a low speed.



LEGAL STATUS

[Date of request for examination] 23.05.2000

[Date of sending the examiner's decision of rejection] 11.03.2003

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-347640

(P2000-347640A)

(43) 公開日 平成12年12月15日 (2000. 12. 15)

(51) Int.Cl.⁷

識別記号

F I

テーマコード (参考)

G 0 9 G 5/00

5 5 0

G 0 9 G 5/00

5 5 0 B 2 H 0 9 3

G 0 2 F 1/133

5 0 5

G 0 2 F 1/133

5 0 5 5 C 0 0 6

G 0 9 G 3/20

6 1 1

G 0 9 G 3/20

6 1 1 B 5 C 0 5 8

3/36

5 C 0 8 0

H 0 4 N 5/66

H 0 4 N 5/66

B 5 C 0 8 2

審査請求 有 請求項の数 7 O L (全 8 頁)

(21) 出願番号

特願平11-154757

(22) 出願日

平成11年6月2日 (1999. 6. 2)

(71) 出願人 300016765

エヌイーシービューテクノロジー株式会社
東京都港区芝五丁目33番1号

(72) 発明者 山田 渡

東京都港区芝五丁目7番1号 日本電気株
式会社内

(74) 代理人 100104916

弁理士 古溝 聡

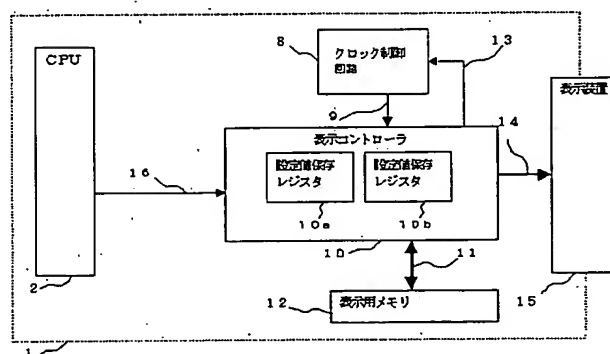
最終頁に続く

(54) 【発明の名称】 電子機器、表示システム及び方法

(57) 【要約】

【課題】 表示品位を落とすことなく表示を続けながら、消費電力を低減する。

【解決手段】 表示コントローラ10は、表示用メモリ12に展開されている画像を表示メモリ性を持った表示装置15に表示させる。CPU2は、表示コントローラ10を介して表示用メモリ12にアクセスすることができ、また、表示用メモリ12へアクセスしない省電力モードを動作モードとして有する。通常の動作モード時には、クロック制御回路8は、CPU2から表示用メモリ12へのアクセスを可能とする高周波数のクロック信号を供給して表示コントローラ10を高速動作させる。省電力モード時には、CPU2から表示コントローラ10に省電力動作移行信号16が供給され、表示用コントローラ10からクロック切り替え信号13がクロック制御回路8に供給される。これにより、クロック制御回路8は、低周波数のクロック信号を供給して表示コントローラ10を低速動作させる。



【特許請求の範囲】

【請求項 1】各画素が表示画像に対してメモリ性を有する表示装置と、

前記表示装置に表示される画像が展開される表示用メモリと、

前記表示用メモリに展開されている画像を読み出し、前記表示装置に表示させる表示制御装置と、

前記表示制御装置を介して前記表示用メモリへアクセスすることのない省電力モードを動作モードとして有する処理装置と、

前記処理装置が省電力モードとなっているときに、前記処理装置から前記表示用メモリにアクセスするために必要な速度よりも遅い速度で前記表示用メモリに展開されている画像を読み出し、前記表示装置に表示させるように、前記表示制御装置の動作速度を制御する動作速度制御装置とを備えることを特徴とする電子機器。

【請求項 2】表示用メモリに展開されている画像を読み出し、各画素が表示画像に対してメモリ性を有する表示装置に表示させると共に、外部から前記表示用メモリへのアクセスを中継する表示制御装置と、

所定の信号が入力されているときに、外部から前記表示用メモリにアクセスするために必要な速度よりも遅い速度で前記表示用メモリに展開されている画像を読み出し、前記表示装置に表示させるように、前記表示制御装置の動作速度を制御する動作速度制御装置とを備えることを特徴とする表示システム。

【請求項 3】前記動作速度制御装置は、第 1 の周波数のクロック信号と、前記第 1 の周波数よりも高く、外部からの前記表示用メモリへのアクセスを可能とする第 2 の周波数のクロック信号とを生成する手段と、前記所定の信号に従って、前記第 1、第 2 の周波数のいずれかのクロック信号を前記表示制御装置に供給する手段とを有し、

前記表示制御装置は、前記動作速度制御装置から供給された第 1 または第 2 のクロック信号に従って動作することを特徴とする請求項 2 に記載の表示システム。

【請求項 4】前記動作速度制御装置は、第 1 の周波数のクロック信号を発生し、前記表示制御装置に供給する低速クロック発生回路と、前記第 1 の周波数のクロック信号に基づいて、前記第 1 の周波数よりも高く、外部からの前記表示用メモリへのアクセスを可能とする第 2 の周波数のクロック信号を生成し、前記表示制御装置に供給する高速クロック発生回路とを備え、

前記高速クロック発生回路は、前記所定の信号が入力されているときに、前記第 2 の周波数のクロック信号の生成を停止し、

前記表示制御装置は、前記高速クロック発生回路が停止していないときは、前記高速クロック発生回路から供給された前記第 2 の周波数のクロック信号に従って動作し、前記高速クロック発生回路が停止しているときは、

前記低速クロック発生回路から供給された第 1 の周波数のクロック信号に従って動作することを特徴とする請求項 2 に記載の表示システム。

【請求項 5】前記所定の信号は、外部から前記表示用メモリへのアクセスがないことを示す信号であることを特徴とする請求項 2 乃至 4 のいずれか 1 項に記載の表示システム。

【請求項 6】前記所定の信号は、前記表示用メモリに展開する画像を供給する外部の処理装置が省電力モードで動作しているときに、前記動作速度制御装置に入力されることを特徴とする請求項 5 に記載の表示システム。

【請求項 7】表示用メモリに展開されている画像を読み出し、各画素が表示画像に対してメモリ性を有する表示装置に表示させると共に、外部から前記表示用メモリへのアクセスを中継する表示制御装置による画像の表示方法であって、

外部から前記表示用メモリへのアクセスがないことを示す信号を受け取るステップと、

外部から表示用メモリへのアクセスがないことを示す信号を受け取ったときに、外部から前記表示用メモリにアクセスするために必要な速度よりも遅い速度で前記表示用メモリに展開されている画像を読み出し、前記表示装置に表示させるように、前記表示制御装置の動作速度を制御するステップとを含むことを特徴とする表示方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、表示装置を備える電子機器の消費電力を低減させるための技術に関する。

【0002】

【従来の技術】従来、表示装置を備える電子機器では、省電力動作を行うために、CPU (Central Processing Unit) のパワーマネジメント機能と、表示装置の電源制御を用いている。CPU のパワーマネジメント機能に関しては、入力装置から入力がないときに省電力で動作する省電力モードに通常モードから動作モードを移動させるものである。

【0003】図 5 は、従来例にかかる電子機器の構成を示すブロック図である。この電子機器において、表示コントローラ 10 は、CPU 2 を含む表示以外に関するシステム 20 で何の操作もされていないことをタイマ監視している。そして、一定時間の経過をタイマ監視したときに、表示コントローラ 10 は、表示装置 15 の電源を遮断する、或いはより低消費電力で動作させる等の処理を行っている。この場合には、表示コントローラ 10 または表示用メモリ 12 も低消費電力動作に移行させる場合がある。

【0004】

【発明が解決しようとする課題】しかしながら、CPU 2 が省電力モードで動作したとしても、表示装置 15 に通常動作時と同じ画像が表示されている限り、表示装置

15や表示コントローラ10などで消費される電力は低減されることはなかった。

【0005】一方、表示コントローラ10が表示装置15の電源を遮断したり、低消費電力で動作させる等の処理を行った場合には、画像が表示されなくなったり、表示されたとしても品位の落ちる画像が表示されていた。すなわち、表示装置15を低消費電力で動作させた場合には、通常に動作させて画像を表示した場合と同等の画像を表示することができなかった。

【0006】本発明は、上記従来技術の問題点を解消するためになされたものであり、表示品位を落とすことなく表示を続けながら、消費電力を低減することができる電子機器、表示システム及び方法を提供することを目的とする。

【0007】

【課題を解決するための手段】上記目的を達成するため、本発明の第1の観点にかかる電子機器は、各画素が表示画像に対してメモリ性を有する表示装置と、前記表示装置に表示される画像が展開される表示用メモリと、前記表示用メモリに展開されている画像を読み出し、前記表示装置に表示させる表示制御装置と、前記表示制御装置を介して前記表示用メモリへアクセスすることのない省電力モードを動作モードとして有する処理装置と、前記処理装置が省電力モードとなっているときに、前記処理装置から前記表示用メモリにアクセスするために必要な速度よりも遅い速度で前記表示用メモリに展開されている画像を読み出し、前記表示装置に表示させるように、前記表示制御装置の動作速度を制御する動作速度制御装置とを備えることを特徴とする。

【0008】上記電子機器では、処理装置が省電力モードで動作し、表示用メモリにアクセスすることがなくなると、動作速度制御装置によって表示制御装置の動作速度を遅くさせる。このため、処理装置の動作モードが省電力モードに移行したときには、表示制御装置、さらにはこれに従って駆動される表示装置及び表示用メモリでの消費電力も低減させることができる。しかも、入力装置からの入力の間の短い間隔でも、処理装置の動作モードを省電力モードに移行できるため、表示制御装置、表示装置及び表示用メモリにおける消費電力の低減の効果が高いものとなる。

【0009】また、動作速度制御装置によって表示制御装置の動作速度が遅くされても、表示用メモリへのアクセスがなく、展開されている画像が更新されることがないため、表示装置に表示される画像は静止画ということになる。ここで、表示装置は、各画素が表示画像に対してメモリ性を有するものであるもので、通常の動作モードの場合と同じ品位の画像を表示することができる。

【0010】上記目的を達成するため、本発明の第2の観点にかかる表示システムは、表示用メモリに展開されている画像を読み出し、各画素が表示画像に対してメモ

リ性を有する表示装置に表示させると共に、外部から前記表示用メモリへのアクセスを中継する表示制御装置と、所定の信号が入力されているときに、外部から前記表示用メモリにアクセスするために必要な速度よりも遅い速度で前記表示用メモリに展開されている画像を読み出し、前記表示装置に表示させるように、前記表示制御装置の動作速度を制御する動作速度制御装置とを備えることを特徴とする。

【0011】上記表示システムにおいて、前記動作速度制御装置は、第1の周波数のクロック信号と、前記第1の周波数よりも高く、外部からの前記表示用メモリへのアクセスを可能とする第2の周波数のクロック信号とを生成する手段と、前記所定の信号に従って、前記第1、第2の周波数のいずれかのクロック信号を前記表示制御装置に供給する手段とを有するものとしてすることができる。この場合、前記表示制御装置は、前記動作速度制御装置から供給された第1または第2のクロック信号に従って動作するものとしてすることができる。

【0012】上記表示システムにおいて、前記動作速度制御装置は、第1の周波数のクロック信号を発生し、前記表示制御装置に供給する低速クロック発生回路と、前記第1の周波数のクロック信号に基づいて、前記第1の周波数よりも高く、外部からの前記表示用メモリへのアクセスを可能とする第2の周波数のクロック信号を生成し、前記表示制御装置に供給する高速クロック発生回路とを備えるものとしてすることもできる。ここで、前記高速クロック発生回路は、前記所定の信号が入力されているときに、前記第2の周波数のクロック信号の生成を停止するものとする。この場合、前記表示制御装置は、前記高速クロック発生回路が停止していないときは、前記高速クロック発生回路から供給された前記第2の周波数のクロック信号に従って動作し、前記高速クロック発生回路が停止しているときは、前記低速クロック発生回路から供給された第1の周波数のクロック信号に従って動作するものとしてすることができる。

【0013】上記表示システムにおいて、前記所定の信号は、外部から前記表示用メモリへのアクセスがないことを示す信号としてすることができる。この所定の信号は、前記表示用メモリに展開する画像を供給する外部の処理装置が省電力モードで動作しているときに、前記動作速度制御装置に入力されるものとしてもよい。

【0014】上記目的を達成するため、本発明の第3の観点にかかる表示方法は、表示用メモリに展開されている画像を読み出し、各画素が表示画像に対してメモリ性を有する表示装置に表示させると共に、外部から前記表示用メモリへのアクセスを中継する表示制御装置による画像の表示方法であって、外部から前記表示用メモリへのアクセスがないことを示す信号を受け取るステップと、外部から表示用メモリへのアクセスがないことを示す信号を受け取ったときに、外部から前記表示用メモリ

にアクセスするために必要な速度よりも遅い速度で前記表示用メモリに展開されている画像を読み出し、前記表示装置に表示させるように、前記表示制御装置の動作速度を制御するステップとを含むことを特徴とする。

【0015】

【発明の実施の形態】以下、添付図面を参照して、本発明の実施の形態について説明する。

【0016】〔第1の実施の形態〕図1は、この実施の形態にかかる携帯情報端末などの電子機器の構成を示すブロック図である。図2は、この電子機器での信号の流れを説明するために、内部構成を簡略化して示す図である。

【0017】これらの図に示すように、この電子機器1は、CPU2と、I/O (Input/Output) コントローラ4と、メモリコントローラ5と、クロック制御回路8と、表示コントローラ10と、表示用メモリ12と、表示装置15とを備えている。表示コントローラ10は、内部に設定値保存レジスタ10a、10bを有する。

【0018】CPU2は、表示装置15の設定変更などを行う場合、信号線3、I/Oコントローラ4及びI/O制御信号線6を介して表示コントローラ10にそのデータを供給する。なお、省電力動作移行信号16は、この経路でCPU2から表示コントローラ10に送られる。

【0019】CPU2は、表示用メモリ12にアクセスする場合、信号線3、メモリコントローラ5及びメモリ制御信号線7を介して表示コントローラ10にアクセス要求をする。後述するように、アクセス要求が表示コントローラ10に受け付けられた場合、CPU2は、表示用メモリ12へアクセスすることができ、展開されている画像データの更新を行う。

【0020】CPU2は、パワーマネジメント機能を有し、一定時間入力装置（図示せず）からの入力がないときに通常の動作モードから省電力モードに移行して動作する。CPU2は、省電力モードで動作しているときには、表示用メモリ12へアクセスすることがない。また、CPU2は、省電力モードで動作しているときには、省電力動作移行信号16を表示コントローラ10に送る。

【0021】I/Oコントローラ4は、CPU2から表示コントローラ10への制御信号などの供給を中継する。メモリコントローラ5は、CPU2から表示用メモリ12へのアクセス動作を中継する。

【0022】クロック制御回路8は、高周波数のクロック信号（以下、高速クロックという）と低周波数のクロック信号（以下、低速クロックという）との2種類のクロック信号を発生する回路を内蔵し、表示コントローラ10からのクロック切り替え信号13に従って、そのいずれかを動作クロック信号9として表示コントローラ10に供給する。ここで、高速クロックは、CPU2から

表示用メモリ12へのアクセスを可能とする周波数を有し、低速クロックは、CPU2から表示用メモリ12へのアクセスが不可能な周波数を有するものである。

【0023】表示コントローラ10は、クロック制御回路8からの動作クロック信号9に従って動作し、また、表示用メモリ12へのアクセス、表示装置15への画像の表示、及びクロック制御回路8を制御する。表示コントローラ10は、CPU2から省電力動作移行信号16が入力されていないときには、クロック制御回路8に高速クロックを選択して出力させ、省電力動作移行信号16が入力されているときには、クロック制御回路8に低速クロックを選択して出力される。

【0024】なお、高速クロック入力時と低速クロック入力時とでの表示コントローラ10の動作を、それぞれ高速動作、低速動作と呼ぶこととする。また、表示コントローラ10は、高速動作と低速動作とのそれぞれの場合において表示装置15を制御するための設定値を保存する設定値保存レジスタ10a、10bを有する。ここでは、設定値保存レジスタ10aを高速動作時と、設定値保存レジスタ10bを低速動作時とすることとする。

【0025】高速動作時において、表示コントローラ10は、設定値を設定値保存レジスタ10aの内容に切り換える。この場合には、表示用コントローラ10は、切り換えられた設定値に従って、所定の周期で表示用メモリ12に展開されている画像を読み出し、表示信号14（同期信号を含む）として表示装置15に供給していく。ここで、CPU2から表示用メモリ12へのアクセスがあった場合には、表示コントローラ10は、ウェイトをかける。表示コントローラ10は、表示信号14のための画像の読み出しを行っていないタイミングで、CPU2から表示用メモリ12へのアクセスを受け付ける。

【0026】一方、低速動作時において、表示コントローラ10は、設定値を設定値保存レジスタ10bの内容に切り換える。この場合には、CPU2から表示用メモリ12へのアクセスはないので、表示用コントローラ10は、切り換えられた設定値に従って、表示用メモリ12に展開されている画像を順次読み出し、表示信号14（同期信号を含む）として表示装置15に供給していく。

【0027】表示用メモリ12は、表示装置15に表示される画像が展開されるメモリである。表示用メモリ12に展開されている画像は、所定の周期で表示コントローラ10によって信号線11を介して読み出され、表示データ14として表示装置15に送られる。また、表示コントローラ10に高速クロックが供給されていて、表示信号14のための読み出しが受け付けられていないときには、表示用コントローラ10の制御の下、CPU2からもアクセスされる。

【0028】表示装置15は、液晶表示装置などの各画

素がその表示画像に対してメモリ性を有する表示装置によって構成され、表示コントローラ10から供給される表示信号14に従って画像を表示する。

【0029】以下、この実施の形態にかかる電子機器の動作について説明する。ここで、CPU2の動作モードとしては、表示用メモリ12へのアクセスを伴う通常の動作モードと、表示用メモリ12へのアクセスが行われることのない省電力モードとの2つがある。通常モードと省電力モードとは、省電力動作移行信号16が入力されているかどうかで切り換えられる。以下では、CPU2の動作モードが通常モードである場合と、省電力モードである場合とに場合分けして、この電子機器の動作を説明する。

【0030】(1) 通常モード

通常モードでは、CPU2から省電力動作移行信号16が表示コントローラ10に供給されていない。このとき、表示コントローラ10は、クロック切り替え信号13によりクロック制御回路8に高速クロックを選択出力させる。そして、表示コントローラ10は、設定値レジスタ10aの設定値で、この高速クロックに従って高速動作する。

【0031】表示コントローラ10は、高速動作している場合に、表示装置15に決まった周期で表示データ14を送る必要があるため、CPU2から表示用メモリ12へのアクセスよりも、こちらの方を優先させる制御を行う。このための制御を図3のタイムチャートを参照して説明する。

【0032】図3に示すように、表示用コントローラ10は、図に白抜きで示す部分では、表示データ14を生成するために表示用メモリ12に展開されているデータを読み出しを行う。これ以外の期間の、図に斜線で示す部分において、CPU2が表示用メモリ12にアクセスして画像データを書き込むことができる。

【0033】図3の斜線で示す期間においてCPU2から表示コントローラ10に表示用メモリ12へのアクセス要求があった場合、表示コントローラ10はこの要求を受け付け、CPU2に表示用メモリ12に対してアクセスさせる。一方、それ以外の期間、例えば、図3の白抜きで示す期間においてCPU2から表示コントローラ10に表示用メモリ12へのアクセス要求があった場合、表示コントローラ10はこの要求にウェイトをかけ、斜線で示す期間になってから要求を受け付けて、CPU2に表示用メモリ12に対してアクセスさせる。

【0034】通常モードにおいては、上記のように表示用メモリ12へのアクセスが制御されるため、CPU2から表示用メモリ12へのアクセスを確実に受け付けられるようにするためには、表示用コントローラ10は、CPU2の動作クロックと同等以上の動作クロックで動作しなければならない。

【0035】(2) 省電力モード

省電力モードでは、CPU2から表示用メモリ12へのアクセスはなく、CPU2から省電力動作移行信号16が表示コントローラ10に供給される。このとき、表示コントローラ10は、クロック切り替え信号13によりクロック制御回路8に低速クロックを選択出力させる。そして、表示コントローラ10は、設定値レジスタ10bの設定値で、この低速クロックに従って低速動作する。

【0036】このとき、表示用メモリ12へのアクセスは、表示用コントローラ10による表示用データ14の生成のために行われる期間が大部分を占めるようになる。すると、CPU2から表示用メモリ12へのアクセスに対応することができなくなるが、このモードで動作するときには、そもそもCPU2から表示用メモリ12へのアクセスが行われないので、実質的な問題が生じることはない。

【0037】ここで、表示装置15を、320×240ドットで2値表示する、1フレーム期間を70分の1秒とする液晶表示装置であると仮定する。この場合、表示用メモリ12の更新を行うことなく、表示装置15へ画像を表示するだけであれば、表示用コントローラ10は、2MHz程度のクロック信号に従って動作すれば十分である。一方、CPU2の動作クロックを10MHzであるとすれば、表示用コントローラ10及び表示装置5による消費電力は、5分の1程度に低減できることとなる。

【0038】以上説明したように、この実施の形態にかかる電子機器では、CPU2が表示用メモリ12にアクセスすることのない省電力モードで動作すると、クロック制御回路8から表示コントローラ10に供給される動作クロック信号9として低速クロックが選択される。そして、表示コントローラ10は、この低速クロックに従って低速動作するようになる。このため、CPU2が省電力モードに移行したときには、表示コントローラ10、さらには表示コントローラ10によって制御される表示装置15及び表示用メモリ12での消費電力を低減させることができる。

【0039】また、この実施の形態にかかる電子機器で適用されている表示装置15は、液晶表示装置などの表示画像に対してメモリ性を有するものである。省電力モード時には、CPU2から表示用メモリ12へのアクセスがなく、表示用メモリ12に展開されている画像が更新されることがない。つまり、表示装置15は、静止画が表示されることとなり、しかも表示している状態自体にメモリ性を有するのであるから、通常モードで表示される画像と同じ品位の画像を表示できることとなる。

【0040】さらに、この実施の形態にかかる電子機器では、CPU2から省電力動作移行信号16を表示コントローラ10に供給するだけで、ソフトウェアによる複雑な制御を行わなくてもよい。このため、CPU2が省

電力モードに移行したときすぐに、表示コントローラ10などもその消費電力を低減させることが可能となる。

【0041】さらに、CPU2は、入力装置からの入力が一定期間ない場合に省電力モードに移行することができるが、人間が入力装置を短い間隔で連続して操作したとしてもその間隔はCPU2にとっては十分に遅い速度となりうる。従って、人間からみた短い間隔でもCPU2は省電力モードに移行することができ、表示コントローラ10などでの消費電力を低減することが可能となる。

【0042】【第2の実施の形態】図4は、この実施の形態にかかる電子機器の構成を示すブロック図である。この電子機器は、クロック制御回路8の代わりにPLL(Phase-Locked Loop)回路17とクロック発生回路21とを有し、CPU2は、省電力動作移行時に停止要求信号19を発生してPLL回路17に供給する点において、第1の実施の形態にかかる電子機器(図1)と異なる。

【0043】クロック発生回路21は、比較的低周波数のクロック信号(以下、低速クロックという)9を発生し、表示コントローラ10とPLL回路17とに供給する。PLL回路17は、低速クロック9に基づいて、これよりも周波数の高いクロック信号(以下、高速クロックという)18を生成し、CPU2と表示コントローラ10とに供給する。PLL回路17は、また、CPU2から停止要求信号19を受信することによって、動作を停止する。ここで、高速クロック18は、CPU2から表示用メモリ12へのアクセスを可能とする周波数を有し、低速クロック9は、CPU2から表示用メモリ12へのアクセスが不可能な周波数を有するものである。

【0044】以下、この実施の形態にかかる電子機器の動作について説明する。ここでも、CPU2の動作モードが通常モードである場合と、省電力モードである場合とに場合分けして、この電子機器の動作を説明する。

【0045】(1) 通常モード

通常モードの場合には、CPU2からPLL回路17に停止要求信号19が供給されず、PLL回路17は、低速クロック9に基づいて高速クロック18を生成して表示コントローラ10に供給する。この場合、表示コントローラ10は、低速クロック9と高速クロック18との両方が供給されているが、このうち的高速クロック18に従って動作する。他の動作については、第1の実施の形態の場合と同じである。

【0046】(2) 省電力モード

省電力モードの場合には、CPU2からPLL回路17に停止要求信号19が供給されるので、PLL回路17は、その動作を停止する。この場合、表示コントローラ10は、クロック発生回路21が発生した低速クロック9のみが供給され、低速クロック9に従って動作する。他の動作については、第1の実施の形態の場合と同じで

ある。

【0047】以上説明したように、この実施の形態にかかる電子機器では、CPU2が省電力モードで動作し、表示用メモリ12にアクセスすることがないとき、停止要求信号19に従ってPLL回路17が動作を停止するので、高速クロック18が生成されることがない。このため、第1の実施の形態にかかる電子機器に比べて、さらに消費電力を低減することが可能となる。

【0048】【実施の形態の変形】本発明は、上記の第1、第2の実施の形態に限られず、種々の変形、応用が可能である。以下、本発明に適用可能な上記の実施の形態の変形態様について、説明する。

【0049】上記の第1、第2の実施の形態では、表示装置15として液晶表示装置を適用していた。しかしながら、表示装置15としては、プラズマディスプレイ装置など、各画素がメモリ性の表示を行う他の表示装置を用いてもよい。

【0050】上記の第1、第2の実施の形態では、クロック制御回路8が出力するクロック信号の周波数を切り換える制御信号13を、省電力動作移行信号16を受けた表示コントローラ10からクロック制御回路8に供給していた。しかしながら、省電力動作移行信号16をクロック制御回路8にも供給し、出力されるクロック信号の周波数を切り換えるものとしてもよい。

【0051】上記の第1、第2の実施の形態では、CPU2は、省電力動作モードで動作し、表示用メモリ12へのアクセスがないときに、省電力動作移行信号16をまたは停止要求信号19を出力して、表示コントローラ10を低速で動作させていた。しかしながら、CPU2は、省電力動作モードで動作していないときであつても、表示用メモリ12へのアクセスをしないときであれば、所定の信号を表示コントローラ10、PLL回路17またはクロック制御回路8に供給して、表示コントローラ10を低速で動作させるようにしてもよい。

【0052】上記の第1、第2の実施の形態では、表示コントローラ10の動作速度を低下させることで、表示用メモリ12及び表示装置15による消費電力を低減させるもののみを説明した。しかしながら、これに加えて、従来より適用されていたような、表示装置15自体の省電力動作、パワーオフ動作などを組み合わせるものとしてもよい。

【0053】

【発明の効果】以上説明したように、本発明によれば、表示装置に表示される画像の表示品位を落とすことなく、消費電力を低減することが可能となる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態にかかる電子機器の構成を示すブロック図である。

【図2】図1の電子機器での信号の流れを説明する図である。

11

【図3】図1の電子機器での省電力動作を示すタイムチャートである。

【図4】本発明の第2の実施の形態にかかる電子機器の構成を示すブロック図である。

【図5】従来例にかかる電子機器の構成を示すブロック図である。

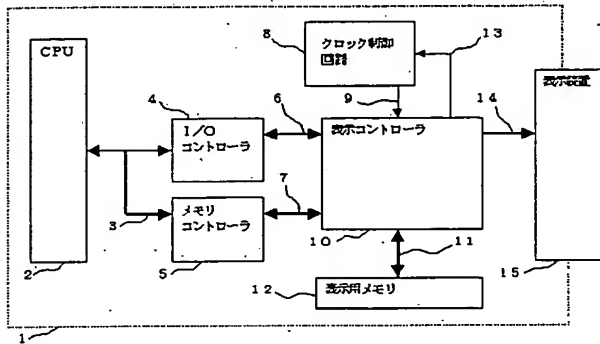
【符号の説明】

- 1 電子機器
2 CPU

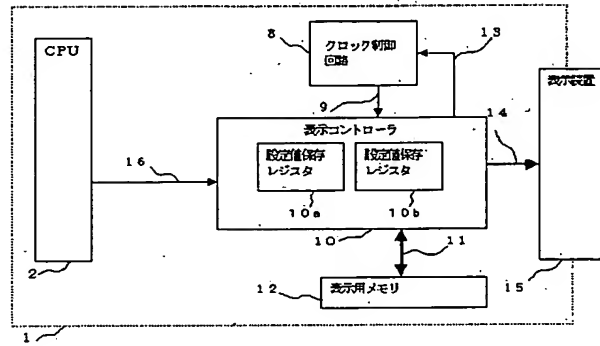
- 4 I/Oコントローラ
5 メモリコントローラ
8 クロック制御回路
10 表示コントローラ
12 表示用メモリ
15 表示装置
17 PLL回路
21 クロック発生回路

12

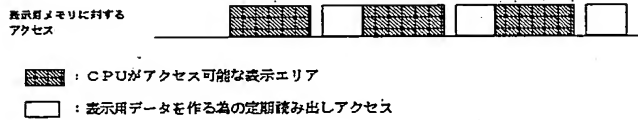
【図1】



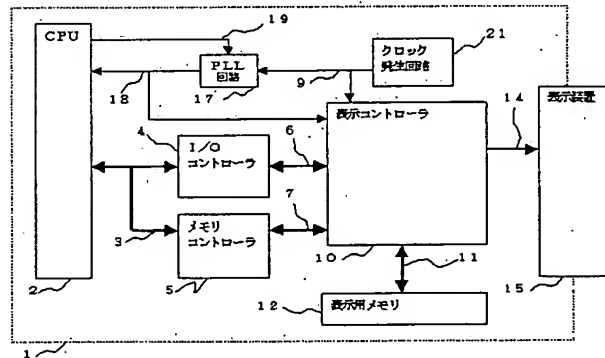
【図2】



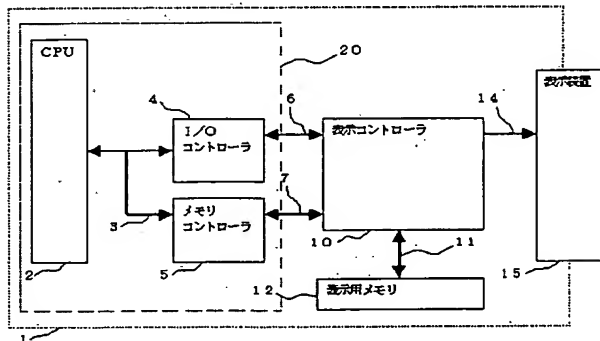
【図3】



【図4】



【図5】



フロントページの続き

Fターム(参考) 2H093 NA11 NC21 NC29 NC49 NC50
ND39
5C006 AA01 AF13 AF44 AF51 AF61
AF72 BA11 BB11 BF02 BF15
FA33 FA47
5C058 AA06 AA11 BA26 BB10 BB13
5C080 AA05 AA10 BB05 DD26 DD29
GG08 JJ02
5C082 BB15 BD02 CA76 CA81 CB01
CB05 DA76 DA86 MM03